

What is claimed is:

1.     メインワード線に共通に接続されると共に、互いに異なるサブワード選択線に接続され、それぞれサブワード線を駆動する複数のサブワードドライバ回路を含むサブワードドライバ（SWD）を備え、前記各サブワードドライバがドライバ入力端子と前記各サブワード線に接続されている半導体記憶装置において、インバータ入力端子とインバータ出力端子とを備え、前記インバータ入力端子は前記メインワード線に接続されると共に、前記インバータ出力端子は前記複数のドライバ入力端子に接続された共通インバータ回路を有し、前記各サブワードドライバ回路は、前記メインワード線に接続されたインバータ出力端子と前記各サブワード選択線に接続され、出力端子を前記各サブワード線に接続された内部インバータ回路部と、前記各サブワード選択線、前記インバータ出力端子、及び、前記内部インバータ回路部の出力端子に接続されたドライブ用トランジスタとを備え、前記各サブワードドライバ回路は1本の各サブワード選択線からのサブワード選択信号によって駆動されることを特徴とする半導体記憶装置。

2.     請求項1において、前記内部インバータ回路は、前記メインワード線に共通に接続されたゲートと、共通に接続されたドレインとを有するPMOS及びNMOSトランジスタによって構成され、前記PMOSトランジスタのソースは前記各サブワード選択線に接続されており、前記内部インバータの出力端子は前記共通に接続されたドレインから取り出されていることを特徴とする半導体記憶装置。

3.     請求項2において、前記ドライブ用トランジスタは、前記各サブワード選択線に接続されたドレインと、前記サブワード線に接続されたソースと、前記共通インバータ回路の出力端子に接続されたゲートを有するNMOSトランジスタによって構成されていることを特徴とする半導体記憶装置。

4.     請求項1において、前記共通インバータ回路は2つのトランジスタによって構成されていることを特徴とする半導体記憶装置。

5.     請求項4において、前記共通インバータ回路及び前記メインワ

ード線は4つのサブワードドライバ回路に共通に設けられていることを特徴とする半導体記憶装置。

6. サブワード選択線を分割するように配置された複数のサブワードドライバ(SWD)に対して、F×B(／F×)であらわされるサブワード選択信号を出力することによって駆動するサブワードドライバ駆動方式において、前記サブワード選択線上の分割位置に、複数のインバータを接続することによって、前記サブワード選択信号をF×Tであらわされるトルーサブワード選択信号にし、当該トルーサブワード選択信号を前記サブワード線の分割位置に設けられた複数のサブワードドライバ(SWD)に分配することにより、前記F×Bのサブワード選択信号に加わる負荷を軽減することを特徴とするサブワードドライバ駆動方式。

7. 請求項6において、前記サブワードドライバ(SWD)は前記サブワード選択線を挟んで両側に配置されており、これら両側のサブワードドライバ回路には、共通のインバータからのトルーサブワード選択信号が与えられることを特徴とするサブワードドライバ回路駆動方式。

8. 請求項7において、メインワード線にインバータ入力端子を接続される一方、前記サブワードドライバに、インバータ出力端子を接続されたインバータと、前記インバータ出力端子に接続されると共に、前記トルーサブワード選択信号を受けるサブワードドライバ回路とを有し、前記サブワードドライバ回路は、前記メインワード線に接続されたインバータ入力端子に接続される一方、前記トルーサブワード選択信号を受けるサブワード選択線に接続され、出力端子を前記各サブワード線に接続された内部インバータ回路部と、前記トルーサブワード選択信号が与えられるサブワード選択線、前記インバータ出力端子、及び、前記内部インバータ回路部の出力端子に接続されたドライブ用トランジスタとを備え、前記サブワードドライバ回路は、前記トルーサブワード選択信号によって駆動されることを特徴とするサブワードドライバ駆動方式。